

328243

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-306014

(43) 公開日 平成8年(1996)11月22日

| (51) Int. Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|----------------------------|------|--------|---------------|--------|
| G 1 1 B 5/39 | | | G 1 1 B 5/39 | |
| G 1 1 C 11/14 | | | G 1 1 C 11/14 | A |

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平7-106270

(22) 出願日 平成7年(1995)4月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 入江 庸介

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 榎間 博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 川分 康博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 山本 秀策

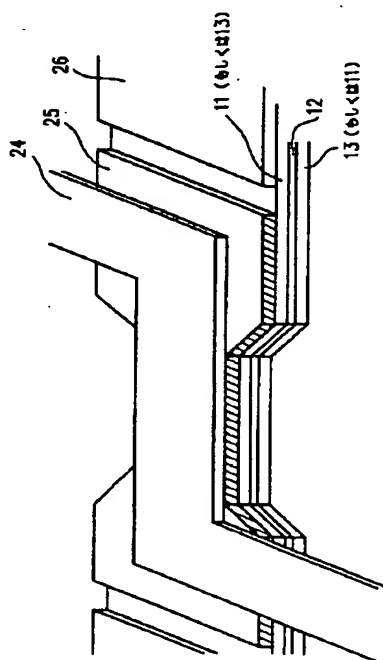
最終頁に続く

(54) 【発明の名称】 メモリー素子

(57) 【要約】

【目的】 巨大磁気抵抗効果を用いたメモリー素子において素子部とワードラインより誘導される合成磁界を用いて記録・読みだし効率を向上させる。

【構成】 ガラス、またはS i 基板上に半硬質磁性膜21、非磁性金属膜22、軟磁性膜23保磁力の異なる人工格子膜をスパッタ、もしくは蒸着し、リソグラフィーを用いて素子部、センスライン、絶縁層25、ワードライン24を形成し、これを1ビットセルとする。情報記録時には素子部(センスライン)とワードライン24から誘導される磁界の合成磁界で半硬質磁性膜21の磁化を一方向に磁化させ記録し、読みだし時には素子部にセンス電流を流し、素子部から誘導される磁界とワードライン24から誘導される磁界の合成磁界(軟磁性膜23だけが磁化回転するような合成磁界)を用い磁気抵抗効果が増減することにより読みだしを行う。



1

【特許請求の範囲】

【請求項1】 第1磁性膜と、第2磁性膜と、該第1磁性膜と該第2磁性膜とを分離する非磁性金属膜と、センスラインとを含む素子部と、記録・読みだしを行うための磁界を該素子部に発生するワードラインと、を有するメモリー素子であって、該センスラインと該ワードラインが主に平行に位置するメモリー素子。

【請求項2】 前記第1磁性膜及び第2磁性膜のうち大きな保磁力を有する磁性膜の磁化容易軸は、主にセンスラインとワードラインとに直交する請求項1記載のメモリー素子。

【請求項3】 第1磁性膜と、第2磁性膜と、該第1磁性膜と該第2磁性膜とを分離する非磁性金属膜と、センスラインとを含む素子部と、記録・読みだしを行うための磁界を該素子部に発生するワードラインと、を有するメモリー素子であって、該センスラインは該ワードラインに主に直交するメモリー素子。

【請求項4】 前記第1磁性膜及び第2磁性膜のうち大きな保磁力を有する磁性膜の磁化容易軸は、主にセンスラインとワードラインを流れる電流から生じる磁界の合成磁界方向である請求項3記載のメモリー素子。

【請求項5】 前記ワードラインを流れる電流から発生する磁界を前記素子部に誘導すべく設けられた軟磁性膜をさらに有する請求項1、2、3及び4のいずれかに記載のメモリー素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、磁気抵抗効果を利用したメモリー素子に関するものである。

【0002】

【従来の技術】従来より磁気抵抗効果を用いたメモリー素子としては、図11に示すような従来のMR（磁気抵抗効果）材料であるNi-FeやNi-Fe-CoをTaNを介して積層したNi-Fe(-Co)/TaN/Ni-Fe(-Co)よりなる導体部（センスライン）を用いたメモリー素子が提案されている（USP 4,754,431及びIEEE Trans. Magn. Vol.27, No.6, 1991, pp5520-5522）。これらはMR材料として従来材料を用いているためMR変化率は2～3%で、情報読みだし時の出力が小さい点と本質的に非破壊読みだしが困難であった。また、記録・読みだし時にはワードラインだけを用いて行うため、大きな電流が必要であった。

【0003】

【発明が解決しようとする課題】MR材料として従来材料を用いているためMR変化率は2～3%で、情報読み出し時の出力が小さく本質的に非破壊読み出しが困難であった。また、記録時にもワードラインをだけを用いて磁界を発生させ素子に記録を行うため、非常に大きな電流が必要であった。

2

【0004】この発明の目的は、上記の問題点を解決し、実用性のある低磁界でより大きな抵抗変化率 $\Delta R/R$ を示す磁気抵抗効果素子を用い、非破壊読みだし可能で記録・再生効率の良い高密度なメモリー素子を提供することにある。

【0005】

【課題を解決するための手段】本発明のメモリー素子は、第1磁性膜と、第2磁性膜と、該第1磁性膜と該第2磁性膜とを分離する非磁性金属膜と、センスラインとを含む素子部と、記録・読みだしを行うための磁界を該素子部に発生するワードラインと、を有するメモリー素子であって、該センスラインと該ワードラインが主に平行に位置し、そのことによって上記目的が達成される。前記第1磁性膜及び第2磁性膜のうち大きな保磁力を有する磁性膜の磁化容易軸は、主にセンスラインとワードラインとに直交してもよい。

【0006】本発明のメモリー素子は、第1磁性膜と、第2磁性膜と、該第1磁性膜と該第2磁性膜とを分離する非磁性金属膜と、センスラインとを含む素子部と、記録・読みだしを行うための磁界を該素子部に発生するワードラインと、を有するメモリー素子であって、該センスラインは該ワードラインに主に直交し、そのことによって上記目的が達成される。

【0007】前記第1磁性膜及び第2磁性膜のうち大きな保磁力を有する磁性膜の磁化容易軸は、主にセンスラインとワードラインを流れる電流から生じる磁界の合成磁界方向であってもよい。

【0008】前記ワードラインを流れる電流から発生する磁界を前記素子部に誘導すべく設けられた軟磁性膜をさらに有してもよい。

【0009】

【作用】本発明のメモリー素子は、素子部に保磁力の異なる人工格子膜を用い、素子部と素子部に付随するセンスラインとその上に絶縁層を介してワードラインを有する。人工格子膜を用いた素子部に電流を流した場合、素子部には自己バイアスが生じる。従って、素子部とワードラインを流れる電流から発生する磁界の合成磁界を利用し、記録・読みだし効率をあげる。その上、人工格子膜の磁化容易軸を素子部とワードラインの合成磁界方向にするとともに、合成磁界が有効に素子部に誘導されるように軟磁性膜のヨークを設けることにより素子部に効率よく磁界を掛け、小さな電流で記録・読みだし可能な効率の良いメモリー素子を実現する。人工格子膜である素子部に電流を流すと素子部には電流が流れる方向とほぼ直交する方向に自己バイアスが誘導される。従って、素子部がワードラインと直交する場合には、素子部に誘導される磁界は素子部から生じる自己バイアスとワードラインから発生される磁界の合成磁界方向が最も強い。従って、このメモリー素子に“1”を記録する場合には合成磁界が最大になるように素子部とワードラインに電流

3

を流し、" 0 " を記録する場合には、合成磁界が" 1 " を記録した場合と反対方向に合成磁界が最大となるように電流を流す。また、素子部がワードラインと平行な位置にある場合にも、素子部に誘導される磁界は素子部から生じる自己バイアスとワードラインから発生される磁界の合成磁界方向が最も強い。一方、素子部は形状が小さくなると反磁界の影響が大きくなり、その影響は微小パターンになればなるほど大きい。そのため素子に記録・読みだしを行う場合、反磁界の影響で素子を飽和させることが困難となる。すなわち、記録・読みだしするのが困難となる。従って、少しでも記録・読みだしの効率を良くするために素子部である人工格子膜の磁化容易軸方向を記録・読みだしをするために素子部に対して発生させる磁界方向（合成磁界方向）にする。また、記録・読みだしを効率良く行う手段としてワードラインから発生する磁界を誘導する軟磁性膜を用い素子部のヨークとする。

【0010】また、ワードラインから発生させる磁界をより効率良く発生させるために積層膜、または軟磁性膜と非磁性膜を用いた人工格子膜を用いる。これら作用により効率の良いメモリー素子を実現する。

【0011】

【実施例】本発明のメモリー素子は、素子部と記録・読みだしを行うための磁界を素子部に発生するワードラインとを有する。素子部は、第1磁性膜、第2磁性膜、及び第1磁性膜と第2磁性膜とを分離する非磁性金属膜と、センスラインとを有する。第1磁性膜と第2磁性膜は、互いに異なる保磁力を有する。すなわち、一方は、硬質磁性膜であり、他方は軟磁性膜である。素子部のうち、センスラインを除いた、磁性体多層膜（人工格子膜）を磁気抵抗変化部と呼ぶ。

【0012】なお、本明細書では、20 Oe以上の保磁力を有する磁性膜を「硬質磁性膜」といい、20 Oe未満の保磁力を有する磁性膜を「軟磁性膜」という。100 Oe未満の保磁力を有する硬質磁性膜を、特に「半硬質磁性膜」という。また、本明細書で用いられる保磁力の値は、低周波数の交流（典型的には60Hz）での測定値である。素子部とそれに付随するセンスラインがワードラインと平行の場合には、素子部に掛かる自己バイアスとワードラインから発生する磁界方向が同一となり、すなわちその合成磁界も同一方向となる。従って、最大の磁界を素子部に加えることができる。自己バイアスの大きさは素子形状と素子の厚さ、そして素子部分に流す電流の電流密度に依存する。それは素子形状が微小になればなるほど反磁界の影響が大きくなるため、反磁界の影響をできるだけ少なくするためには自己バイアスの掛かる方向（電流方向と直交する方向）を長くするような形状にすることが望ましい。また素子の厚さは少ない電流で感度を得るために積層回数はできるだけ少ないことが望ましい。図1（a）に示すようなサンドイッチタイプの

4

ものでも磁気抵抗効果の抵抗変化率は従来のものよりも大きく5%程度得られるが、図1（b）に示すような非磁性金属膜14を介して数周期積層した場合、サンドイッチタイプのものより磁気抵抗効果の抵抗変化率は約3%程度大きくなる。従って、感度、抵抗変化率の両方を考慮すると積層回数の膜厚が0.1 μm 以下にすることが望ましい。

【0013】また、記録・読みだしを効率良くするために人工格子膜の磁化容易軸方向を自己バイアス方向にすることが望ましい。

【0014】素子部とワードラインが直交する場合（自己バイアスとワードラインから発生する磁界が直交する場合）には、合成磁界方向が素子部に加える磁界が最大となる。従って、素子形状も反磁界の影響を少なくするために、合成磁界がほぼ最大になる方向を長くするような形状にすることが望ましい。また素子の厚さは感度を得るために積層回数はできるだけ少ないことが望ましい。図1（a）に示すようなサンドイッチタイプのものでも磁気抵抗効果の抵抗変化率は従来のものよりも大きく5%程度得られるが、図1（b）に示すような非磁性金属膜14を介して数周期積層した場合、サンドイッチタイプのものより磁気抵抗効果の抵抗変化率は約3%程度大きくなる。従って、感度、抵抗変化率の両方を考慮すると積層回数の膜厚が0.1 μm 以下にすることが望ましい。

【0015】また、記録・読みだしを効率良くするために人工格子膜の磁化容易軸方向を合成磁界方向にすることが望ましい。

【0016】ワードラインは、軟磁性膜と非磁性膜の積層膜にすることによりワードライン自身も自己バイアスが掛かることにより、ワードラインの自己バイアスとワードラインが発生する磁界を同一方向にすれば、大きな磁界を発生することが可能である。

【0017】ワードラインが発生する磁界を効率よく素子部に誘導するヨークとして用いる軟磁性膜は透磁率が高く、飽和磁束密度が大きなものが良くCoTaZr、CoNbZr、FeTaN等が望ましい。

【0018】以下に具体的な実施例により本発明の効果の説明を行う。

【0019】（実施例1）ターゲットにCo（半硬質磁性膜11）、Ni₈₀Fe₁₀Co₁₀（軟磁性膜13）、Cu（非磁性金属膜12）を用いて半硬質磁性膜11、非磁性金属膜12、軟磁性膜13を順次積層し、に示されるようなサンドイッチタイプの

[Co(30)/Cu(20)/NiFeCo(30)] （（）内の数値は膜厚nmを示す）

なる磁気抵抗変化部を作製し、素子の形状をエッチングした後、Au/Crを蒸着しセンスライン26を形成した。絶縁膜SiO₂25をこの上に約1 μm スバツタし、更にワードライン24のAu/Crを成膜し、図2

に示すような素子部とワードラインが平行に位置するメモリー素子を作製した。この素子部の形状を変えて自己バイアスの大きさを調べた。その結果を表1に示す。 *

| 試料No. | 素子形状 | 自己バイアス (Oe) |
|-------|--------------------------------------|-------------|
| A | $40\mu\text{m} \times 20\mu\text{m}$ | 4.4 |
| B | $40\mu\text{m} \times 10\mu\text{m}$ | 10.9 |
| C | $40\mu\text{m} \times 5\mu\text{m}$ | 12.8 |

【0021】この結果は素子の電流密度が $12\text{mA}/\mu\text{m}^2$ の場合の自己バイアスである。上記の表2から、この実施例の磁気抵抗効果素子部は素子の幅が狭くなるに従い、自己バイアスが大きくなることが確認された。従って、素子部の形状は電流の流れる方向に対して直交する方向（自己バイアス方向）の幅を狭くすることで自己バイアスを大きくできることは明きらかである。

【0022】（実施例2）実施例1と同様に、ターゲットにCo（半硬質磁性膜11）、 $\text{Ni}_{80}\text{Fe}_{10}\text{Co}_{10}$ （軟磁性膜13）、Cu（非磁性金属膜12）を用いて半硬質磁性膜11、非磁性金属膜12、軟磁性膜13を順次積層し、図1（a）に示されるようなサンドイッチ

| 試料No. | 素子形状 | 合成磁界 (Oe) |
|-------|--------------------------------------|-----------|
| A | $40\mu\text{m} \times 20\mu\text{m}$ | 14.4 |
| B | $40\mu\text{m} \times 10\mu\text{m}$ | 20.9 |
| C | $40\mu\text{m} \times 5\mu\text{m}$ | 22.8 |

【0024】この結果は、素子の電流密度が $12\text{mA}/\mu\text{m}^2$ の場合の自己バイアスとワードラインの断面積が一定で、電流密度が $8.3\text{mA}/\mu\text{m}^2$ の場合の合成磁界である。表2の結果よりワードラインが一定の場合、ワードラインが素子に及ぼす磁界は一定であり、素子形状の自己バイアスとの合成磁界が素子に加わっていることがわかった。従って、素子の自己バイアス方向とワード線が発生する磁界方向が平行に位置するようにお互いを配置することで効率良く素子部に磁界を掛けることができるのは明きらかである。

（実施例3）ターゲットにCo（半硬質磁性膜11）、 $\text{Ni}_{80}\text{Fe}_{15}\text{Co}_{5}$ （軟磁性膜13）、Cu（非磁性金属膜12）を用いて半硬質磁性膜11、非磁性金属膜12、軟磁性膜13を順次積層し、図1（a）に示されるようなサンドイッチタイプの

【Co(30)/Cu(20)/NiFeCo(30)】

なる磁気抵抗変化部を作製し、素子の形状をエッチングした後、Au/Crを蒸着しセンスライン36を形成した。絶縁膜 SiO_2 35をこの上に約 $1\mu\text{m}$ スパッタし、更にワードライン34のAu/Crを成膜し、図3に示すような素子部とワードラインが直交するようなメモリー素子を作製した。この時、素子部に流す電流は電流密度 $12\text{mA}/\mu\text{m}^2$ 一定とし、ワードラインに流す電流を20、40、60、80、100mAと変化させ、それらの合成磁界方向と合成磁界の大きさを図4に示す。これより、図3のように、素子部とワードラインが直交する場合（自己バイアスとワードラインから発生する磁界が直交する場合）には、合成磁界方向が素子部に加える磁界が最大となる。従って、合成磁界方向が素

* 【0020】
【表1】

※チタイプの

【Co(30)/Cu(20)/NiFeCo(30)】

なる磁気抵抗変化部を作製し、素子の形状をエッチングした後、Au/Crを蒸着しセンスライン26を形成した。絶縁膜 SiO_2 25をこの上に約 $1\mu\text{m}$ スパッタし、更にワードライン24のAu/Crを成膜し、図2に示すようなメモリー素子を作製した。この素子部の形状を変えて自己バイアスとワードラインから発生する磁界の合成磁界を調べた。その結果を表2に示す。

【0023】

【表2】

子に与える磁界が最大となり、その方向に素子の磁化容易軸方向（特に保磁力の大きな膜の磁化容易軸方向）を向けることで効率の良い記録・読みだしを行えることは明きらかである。

【0025】（実施例4）実施例1と同様に、ターゲットにCo（半硬質磁性膜11）、 $\text{Ni}_{88}\text{Fe}_{20}\text{Co}_{12}$ （軟磁性膜13）、Cu（非磁性金属膜12）を用いて半硬質磁性膜11、非磁性金属膜12、軟磁性膜13を順次積層し、図1（a）に示されるようなサンドイッチタイプの

【Co(30)/Cu(20)/NiFeCo(30)】

なる磁気抵抗変化部を作製し、素子の形状をエッチングした後、Au/Crを蒸着しセンスライン56を形成した。絶縁膜 SiO_2 55をこの上に約 $1\mu\text{m}$ スパッタし、更にワードライン54を形成するためにAu/Crを蒸着し、エッチングした。その脇にワードラインから発生する磁界を素子部に誘導するためのヨーク57を形成するために、軟磁性膜であるCoTaZrをスパッタし、エッチングして図5に示すようにヨーク57を形成した。また、これと同時に、ヨークがないメモリー素子も作成し、素子に加えられる磁界の大きさを比較した。この時の素子形状は $40\mu\text{m} \times 20$ 、 10 、 $5\mu\text{m}$ 、ワードラインは幅 $40\mu\text{m}$ 一定とし、層膜厚は $0.12\mu\text{m}$ であった。表3に結果を示す。ただし、素子部に流す電流は電流密度 $12\text{mA}/\mu\text{m}^2$ で、ワードラインに流す電流密度は $8.3\text{mA}/\mu\text{m}^2$ 一定である。

【0026】

【表3】

| 7 | | 8 | |
|------|------------------|--------------|--------------|
| 試料No | 素子幅 | 合成磁界 (ヨーク無し) | 合成磁界 (ヨーク有り) |
| A | 20 μm | 14.4 Oe | 28.6 Oe |
| B | 10 μm | 20.9 Oe | 38.3 Oe |
| C | 5 μm | 22.8 Oe | 40.4 Oe |

【0027】表3の結果より、ヨーク無しの場合よりもヨーク有りの場合の方が素子部に及ぼす磁界は大きくなることが確認された。従って、ヨークを設ける事により効率よく磁界を素子部に加えられる事ができ、効率の良いメモリー素子を実現できる事は明かである。

【0028】(実施例5) 高真空蒸着装置を用いてSi(100)基板上に下記に示されるような構成のSi/Cu(50)[Co(10)/NiFe(100)/Cu(24)/Ag(2)/Cu(24)/Co(50)/Cu(24)/Ag(2)/Cu(24)/Co(10)/NiFe(100)]なる磁気抵抗変化部を作製し、素子の形状をエッチングした後、Au/Crを蒸着しセンスライン56を形成した。絶縁膜SiO₂55をこの上に約1 μm スパッタし、更にワードライ54を形成するためにAu/Crを蒸着し、エッチングした。その脇にワードラインから発生する磁界を素子部に誘導するためのヨーク57を形成するために、軟磁性膜であるCoTaZrをスパッタし、エッチングして図5に示すようにヨーク57を形成した。この時の素子形状は40 μm ×5 μm 、膜厚は0.043 μm ワードラインは幅40 μm 一定とし、膜厚は0.2 μm であった。また、この時用いた素子部のMR曲線を図6に示す。これより、保磁力の小さな軟磁性膜(NiFe)は30eで磁化方向が反転し、保磁力の大きな半硬質磁性膜(Co)は390eで磁化方向が反転していることがわかった。このメモリー素子の動作を確認すべく記録時はセンスラインに12mA/ μm^2 、ワードラインに8.3mA/ μm^2 の電流を流し"1"の記録を行い、読みだし時はセンスラインに6mA/ μm^2 、ワードラインに±4mA/ μm^2 の電流を流した時の読みだし出力波形を図7(a)に示す。次に図7(a)とは反対方向に記録時はセンスラインに12mA/ μm^2 、ワードラインに8.3mA/ μm^2 の電流を流し"0"の記録を行い、読みだし時はセンスラインに6mA/ μm^2 、ワードラインに±4mA/ μm^2 の電流を流した時の読みだし出力波形を図7(b)に示す。これらより"1"、"0"の記録・読みだしが確認された。以上より、メモリーの1ビットを示す1ビットメモリーセルの動作が確認された。

【0029】(実施例6) 実施例5のメモリーセルを用いて、図8(a)、(b)に示すようなマトリックスを構成して3ビットのメモリー動作を確認するために

(a)、(b)それぞれ記録・読みだしを行った。この時、素子部の磁化容易軸方向はセンスライン及びワードラインから生じる合成磁界方向になるように構成した。

(a)の場合、3ビットの記録・読みだしを行うためにセンスライン81に30mA、ワードライン8aに100mAの電流を流して"1"を記録した。次にセンスライン81に-30mA、ワードライン8bに-100mA

Aの電流を流し"0"を記録した。そして、センスライン81に30mA、ワードライン8cに100mAの電流を流し"1"を記録した。読みだしを行うために、センスライン81に15mA、ワードライン8aに±50mAの電流を流しセンスラインの両端に出てくる電圧変化を測定すると図9に示すような出力波形が得られ"1"、"0"、"1"が確認できた。また、センスライン82、83についても同様な記録・読みだし動作が確認された。(b)の場合、(a)と同様に3ビットの記録・読みだしを行うためにセンスライン81に30mA、ワードライン8aに100mAの電流を流して"1"を記録した。次にセンスライン81に-30mA、ワードライン8bに-100mAの電流を流し"0"を記録した。そして、センスライン81に30mA、ワードライン8cに100mAの電流を流し"1"を記録した。読みだしを行うために、センスライン81に15mA、ワードライン8aに±50mAの電流を流しセンスラインの両端に出てくる電圧変化を測定すると図9に示すような出力波形が得られ"1"、"0"、"1"が確認できた。センスライン82の場合にはワードラインの電流方向が反対方向になるのでセンスライン82に-30mA、ワードライン8aに100mAの電流を流して"1"を記録した。次にセンスライン82に30mA、ワードライン8bに-100mAの電流を流し"0"を記録した。そして、センスライン82に-30mA、ワードライン8cに100mAの電流を流し"1"を記録した。読みだしを行うために、センスライン82に-15mA、ワードライン8aに±50mAの電流を流しセンスラインの両端に出てくる電圧変化を測定すると図9に示すような出力波形が得られ"1"、"0"、"1"が確認できた。センスライン83の場合には、センスライン81の場合と同様な記録・読みだし方式で動作確認できた。以上より、図8(a)、(b)のマトリックスどちらを用いても、メモリーとしての記録・読みだし可能であることは明らかである。しかし、面積的には(b)のほうがより小さくできることがわかった。

(実施例7) 実施例5の素子部を用いて、図10に示すようなマトリックスを構成して3ビットのメモリー動作を確認するために記録・読みだしを行った。この時、素子部の磁化容易軸方向はセンスライン及びワードラインから生じる合成磁界方向になるように構成した。3ビットの記録・読みだしを行うためにセンスライン101に40mA、ワードライン10aに150mAの電流を流して"1"を記録した。次にセンスライン101に-40mA、ワードライン10bに-150mAの電流を流し"0"を記録した。そして、センスライン101に4

0mA、ワードライン10cに150mAの電流を流し"1"を記録した。読みだしを行うために、センスライン101に20mA、ワードライン10aに±75mAの電流を流しセンスラインの両端に出てくる電圧変化を測定すると図9に示すような出力波形が得られ"1"、"0"、"1"が確認できた。また、センスライン102、103についても同様な記録・読みだし動作が確認された。

【0030】以上より、このタイプのマトリックスを用いてもメモリーとしての記録読みだしが可能であることは明らかである。

【0031】

【発明の効果】この発明によれば、素子部に電流を流すことによって掛かる自己バイアスとワードラインから発生する磁界の合成磁界を利用することにより、素子部に対して効率よく磁界を加えることができ、その合成磁界方向に素子の磁化容易軸を向けることで更に記録・読みだし効率の良いメモリー素子を可能とする。また、ワードラインから発生する磁界を素子部に誘導するヨークを設けることでワードラインに流す電流を低減できる。

【図面の簡単な説明】

【図1】(a)本発明の実施例1を示すサンドイッチタイプ磁気抵抗効果素子の斜視図

(b)積層タイプの磁気抵抗効果素子の構成図

【図2】本発明の実施例2を示すメモリー素子の斜視図

【図3】本発明の実施例3を示すメモリー素子の斜視図

【図4】本発明の実施例3を示すメモリー素子の素子部(センスライン)とワードラインから発生する磁界の合成磁界方向とその大きさを示す図

【図5】本発明の実施例4を示すメモリー素子の斜視図

【図6】本発明の実施例5を示すメモリー素子の素子部のMR曲線図

【図7】本発明の実施例5を示すメモリー素子の入力波 *

* 形と出力波形

【図8】(a)本発明の実施例6を示すメモリー素子の平行タイプのマトリックス図

(b)本発明の実施例6を示すメモリー素子の直交タイプのマトリックス図

【図9】本発明の実施例6、7を示すメモリー素子の3ビット出力を表す波形図

【図10】本発明の実施例7を示すメモリー素子のマトリックス図

【図11】従来のメモリー素子の斜視図

【符号の説明】

11 半硬質磁性膜

12 非磁性金属膜

13 軟磁性膜

14 非磁性金属膜

24 ワードライン

25 絶縁層

26 センスライン

34 ワードライン

35 絶縁層

36 センスライン

54 ワードライン

55 絶縁層

56 センスライン

57 ヨーク(軟磁性膜)

81、82、83 センスライン

8a、8b、8c ワードライン

101、102、103 センスライン

10a、10b、10c ワードライン

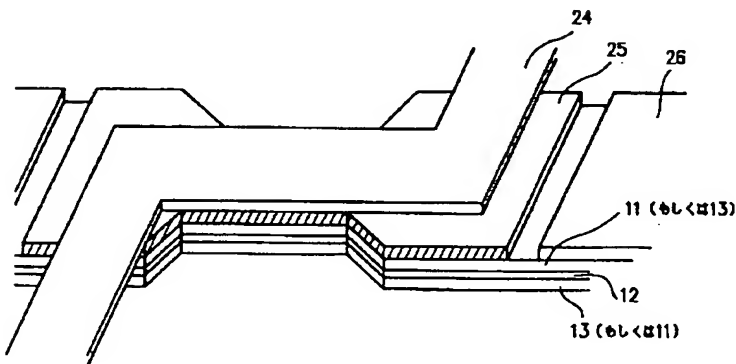
11a NiFeCo 人工格子膜

11b センスライン

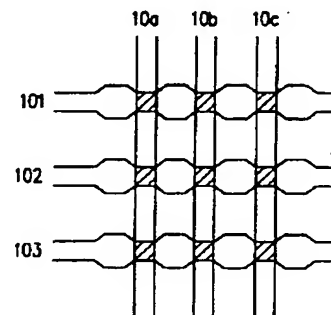
11c SiO₂

11d ワードライン

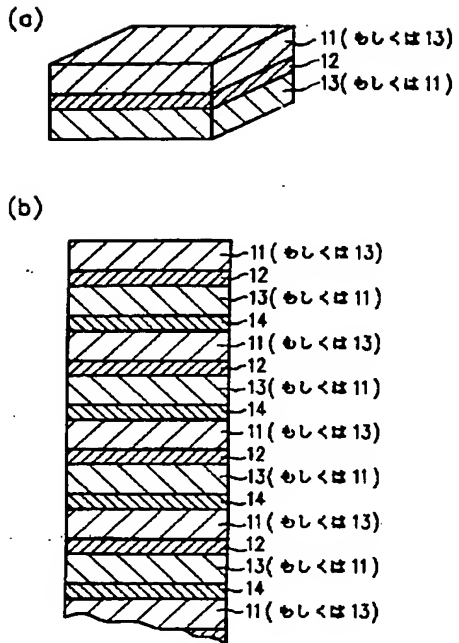
【図2】



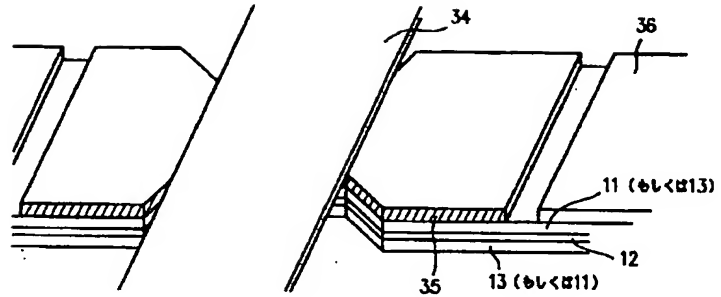
【図10】



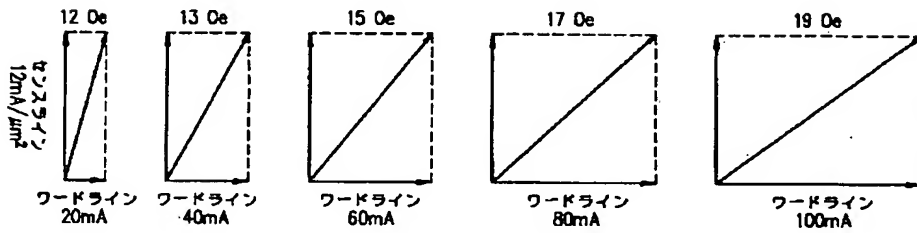
【図 1】



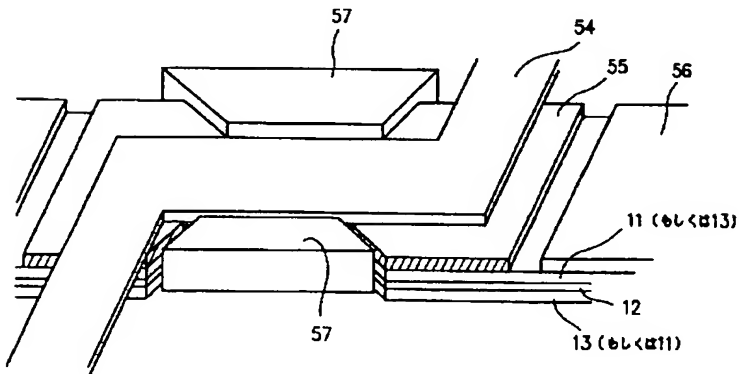
【図 3】



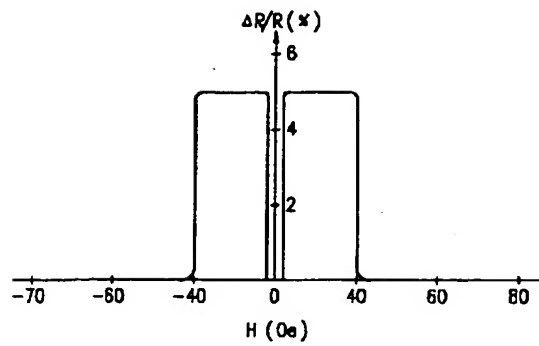
【図 4】



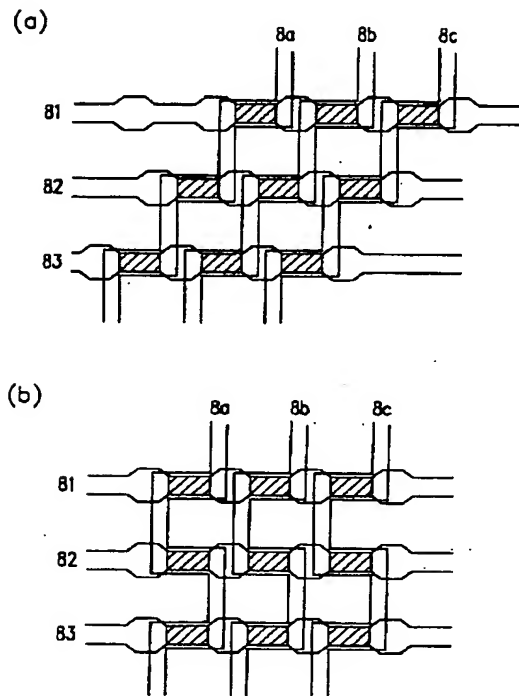
【図 5】



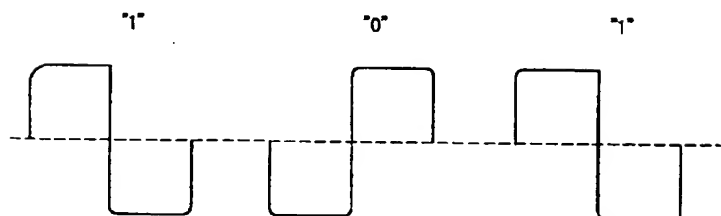
【図 6】



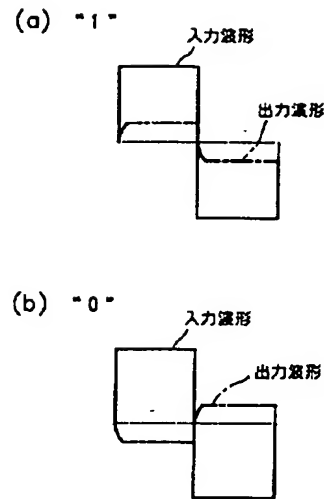
【図 8】



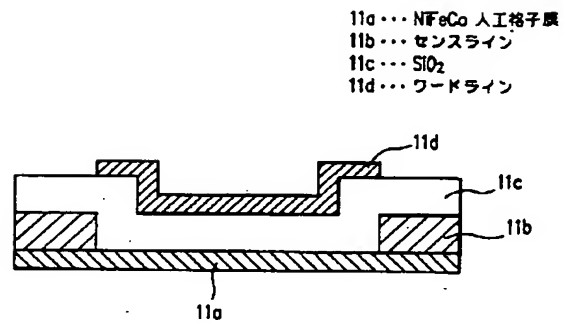
【図 9】



【図 7】



【図 11】



フロントページの続き

(72)発明者 里見 三男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内